

JP61050295

Biblio

Page 1

Drawing



ERROR DETECTING CORRECTION SYSTEM OF SEMICONDUCTOR MEMORY

Patent Number: JP61050295

Publication date: 1986-03-12

Inventor(s): NATORI KENJI

Applicant(s): TOSHIBA CORP

Requested Patent: JP61050295

Application Number: JP19840172732 19840820

Priority Number(s):

IPC Classification: G11C29/00; G06F11/10

EC Classification:

Equivalents:

Abstract

PURPOSE: To enable errors to be detected and corrected according to 1 bit inferiority detecting and correcting system every group by dividing memory cells having neighboring column addresses of semiconductor memory into different groups.

CONSTITUTION: In RAM of 16 bit, a memory cell is disposed at a matrix of 4096X4096, reads out data group of 4096 bits, by the same load address, and they divided into a 16 groups. In this case, memory cells having neoghborng column addresses are usually assigned to different groups. The same groups are assigned to memory cells of 256 having 16 address space of the column address. To each groups a horizontal and vertical parity system is applied to detect and correcr erros. By using this system, there is less possibility of continuous inferiority of more than 16 bits. According to this, all of the inferior bits can be detected and corrected to avoid soft errors completely.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭61-50295

⑤Int.Cl.
G 11 C 29/00
G 06 F 11/10

識別記号 庁内整理番号
7737-5B
7368-5B

④公開 昭和61年(1986)3月12日
審査請求 未請求 発明の数 1 (全4頁)

⑥発明の名称 半導体メモリの誤り検出訂正方式

⑦特願 昭59-172732
⑧出願 昭59(1984)8月20日

⑨発明者 名取 研二 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑩出願人 株式会社東芝 川崎市幸区堀川町72番地
⑪代理人 井理士 鈴江 武彦 外2名

明細書

1. 発明の名称

半導体メモリの誤り検出訂正方式

2. 特許請求の範囲

複数個のメモリセルがマトリクス状に配置されており、外部から上記メモリセルの番地を指定するアドレス信号がロー・アドレス信号とカラムアドレス信号とに区別される半導体メモリにおいて、同一のロー・アドレスを有する複数個のメモリセルを同一個数のメモリセルからなる複数個のグループに分けるに際してカラムアドレスが隣り合うメモリセルを異なるグループに分け、この各グループ内のメモリセルを仮想的にマトリクス配置上に並べたときに、グループ内の各行、各列のデータの和によって定められるサリティビットを検査ビットとし、グループ内の1つの被検査メモリセルの記憶データに不良があるか否かを検出し、不良があれば訂正することを特徴とする半導体メモリの誤り検出訂正方式。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は半導体メモリ、特にチップ上に誤り検出訂正符号を搭載した半導体メモリにおける誤り検出訂正方式に関する。

〔発明の技術的背景〕

近年、半導体メモリの高集成化に伴なって、メモリ内のデータにソフト性の不良が含まれる確率が無視できなくなっている。特に、宇宙線や自然界的な原因によって引き起こされるソフトエラーは、メモリの微細化に伴なって増加する可能性が高い。これらに対処する有効な方法として、チップ上に誤り検出訂正符号 (ECC ; エラーコレクティングコード) を搭載する技術が、たとえば IEEE JOURNAL OF SOLID STATE CIRCUITS , SC-18 OCTOBER 1983 , T.MANO , J.YAMADA , J.INOUE and S.NAKAJIMA , "Circuit Techniques for a VLSI Memory" に開示されている。この方法は、たとえば既 (カラム) 方向、横 (ロー) 方向 512 ビット

ずつのメモリセルが正方形状に配設された 256 k ビットのダイナミックメモリにおいて、一组のロードアドレスによって選択される 512 ビットのメモリセルを第 2 図に示すように(但し、第 2 図にはメモリセルに対応するデータの一例を示す) 16 ビット × 32 ビットの矩形状マトリクス配置にしたがって仮想的に並べ、その各行、各列毎にデータの和をとった結果に応じて付加するパリティ(奇数パリティあるいは偶数パリティ)ビットを検査ビット(本例では 48 ビット)として検査ビット用メモリ領域に記憶しておく。そして、読み出しに際しては、読み出しビットが前記矩形状マトリクス配置内のたとえば 1 行、 1 列に属するならば、その 1 行のデータと 1 列のデータの全てを上り 1 行、 1 列それぞれの検査ビットを外部に読み出す。次に、上記の読み出された 1 行のデータから 1 行のパリティビットを算出し、この算出ビットを前記の 1 行の検査ビットと比較する。この検査ビットは、前記 1 行、 1 列のビットに対応するメモ

方の検査ビットに対して誤りが検出された場合のみ、行と列の交点のデータが誤りであると判定してそのデータの“1”あるいは“0”を反転して正しいデータとして出力すればよい。この場合、メモリ内に再書き込みを行なうための回路を構成しておけば、メモリ内のデータの誤りを検出して訂正できる機能を有するメモリを実現できる。

上述したような誤り検出訂正方式は、所謂、水平垂直パリティ方式と称されており、この方式により誤り検出訂正を行なう機能が実際には LSI IC に組み込まれている。

〔背景技術の問題点〕

ところで、上述した水平・垂直パリティ方式の誤り検出訂正方式においては、一组のロードアドレスに対応してワード線が選択されることによって、このワード線により選択されるメモリセル群からビット線群を介してセンスアンプ群に読み出されるデータの組に対して水平・垂直パリティビットの算出を行なう。

リセルにデータを書き込む際に算出されたパリティビットである。したがって、読み出し時に算出したパリティビットと検査ビットとが一致しなければ、上記メモリセルに対してデータを書き込んでからそのデータを読み出すまでの間に、上記メモリセルのデータが属する前記 1 行のデータ群のいずれかあるいは 1 行の検査ビットが変化したことになる。同様に、前記読み出された 1 列のデータから 1 列のパリティビットを算出し、これを 1 列の検査ビットと比較することにより、 1 列のデータ群および 1 列の検査ビットについて誤りビットの有無を検出する。

左か、前記第 2 図のマトリクス配置上の同一の行あるいは列に、 2 ビットあるいはそれ以上の偶数ビットの不良が存在する場合には、前記算出したパリティビットは不良ビットがないときと同じになって不良検出ができないが、このような 2 ビット以上の誤りの起こる確率が極めて小さければこの不良検出ができないことは事実上無視できる。したがって、前記行、列の両

然るに、従来の沿り検出訂正方式は、上記データの組に前述したように 1 ビットの不良がある場合には不良の検出、訂正が可能であるが、 2 ビット以上の不良がある場合には不良の検出、訂正が不可能となってその機能を有する。

一方、メモリの大容量化(たとえば 16 M ビット RAM)によるメモリセルの微細化に伴なって前記不良の発生の可能性が高くなり、しかもたとえば 1 脱の α 粒子により複数のメモリセルが不良となる確率が非常に大きくなることが指摘されている(たとえば、 IEEE JOURNAL OF SOLID STATE CIRCUITS, SC-17 APRIL 1982, G.A.Sai-Halasz, M.W.Wordeman & R.H. Dennard "Alpha-Particle-Induced Soft Error Rate in VLSI Circuits")。即ち、隣接した複数のメモリセルに塊状に一般ソフトエラーが生じることになり、当然にワード線に沿った隣接箇所のメモリセルに不良が生じる可能性が高くなり、このような複数ソフトエラーによる不良の増大に対して、前述したような 1 ビット

ト不良検出方式による従来の誤り検出訂正方式では十分な阻止力を発揮できないおそれがあつた。

〔発明の目的〕

本発明は上記の事情に鑑みてなされたもので、速読する復数のメモリセルに塊状にソフトエラーが発生した場合でも、水平垂直パリティ方式のようないビット不良検出方式により不良検出、訂正が可能な半導体メモリの誤り検出訂正方式を提供するものである。

〔発明の概要〕

即ち、本発明は、複数個のメモリセルがマトリクス状に配置されており、外部から上記メモリセルの番地を指定するアドレス信号がロードアドレス信号とカラムアドレス信号とに区別される半導体メモリにおいて、同一のロードアドレスを有する複数個のメモリセルを同一個数のメモリセルからなる複数個のグループに分けるに際してカラムアドレスが隣り合うメモリセルを異なるグループに分け、この各グループ内のメモリセル

すなわちカラムアドレスが隣り合うメモリセルを必ず異なるグループに割り当てるものとし、たとえば同一ワード線に沿った連続する16個のメモリセルを16個のグループに1個ずつ割り当てるこ^とによって、同一グループにはカラムアドレスが16番地間隔である256個のメモリセルを割り当てるものとする。このメモリセルの割り当てに対応するデータの割り当ての様子を第1図に示している。

そして、上記各グループに水平垂直パリティ方式を適用して誤り検出訂正を行なう。この場合、それぞれたとえば行、列方向が各16ビットの正方形マトリクス配置にしたがって仮想的に並べると、行・列方向の検査ビットはそれぞれ16ビットのデータの加算結果により定められ、1グループの検査ビットは32個であり、4096ビットのデータをチェックするためには必要なグループ全体の検査ビット数は512ビットである。

なお、上述した誤り検出訂正方式にしたがつ

リセルのデータに対して水平垂直パリティ方式を適用したことを特徴とするものである。

したがって、同一のロードアドレスを有する連続する数個のメモリセルにソフトエラーが生じた場合でも、これらの不良ビットは必ず異なるグループに分かれ、グループ内の不良ビットは1個になるので、各グループ単位で1ビット不良検出訂正方式による誤り検出訂正が可能になる。

〔発明の実施例〕

以下、図面を参照して本発明の一実施例を詳細に説明する。

たとえば16MビットのRAMにおいて、メモリセルは4096×4096のマトリクス状に配置されており、同一のロードアドレスで4096ビットのデータ群を読み出すものとする。そして、これらのデータ群に対するメモリセル群を同一個数の複数グループ(たとえばそれぞれ256個のメモリセルを有する16個のグループ)に分けるものとする。この場合、物理的に隣り合

て、書き込みデータに対する検査ビットの算出、当該検査ビットの書き込み(実際には既に書き込まれている検査ビットを反転させる必要があるときに反転させる)、同一ロードアドレスの読み出しデータ群に対するグループ分け、読み出しデータが属するグループにおける読み出しデータの属する行、列のパリティビットの算出、このパリティビットと検査ビットとの比較、比較結果に基づく不良ビットの判定、必要に応じて不良ビットの訂正などの各処理を行なうECC回路がメモリの一端(通常はI/O回路付近)に設けられる。

次に、従来例の誤り検出訂正方式と本発明の誤り検出訂正方式とを比較してみる。メモリLSIのパッケージなどから放出された单一のα粒子がメモリチップのメモリセルアレイ部に入射したときに作られる電子、正孔対によってソフトエラーを起こす。メモリの劣化度が低い場合は高々1ビットのデータが不良となるにとどまっていたが、高度に劣化化されたメモリでは

α粒子の当った付近の複数ビットのデータが塊状に不良になり、当然、同一のワード線に沿って複数の不良ビットが並ぶことになる。従来の方式によれば、これらの複数の不良ビットに対しECC回路を作動させて不良訂正を行なう。しかし、従来の1ビット不良検出方式ではこれらの複数ビットの不良に対して無力であり、仮に改良された2ビット不良検出方式を用いても3ビット以上の不良に対しては無力である。しかも、集積化により必ずしも複数ビットの不良が生じるようになってくるので、ECC回路自体が無力化する。これに対して、本発明方式を用いると、上述したようにワード線に沿った複数の不良ビットを必ずしも異なるグループに割り当て、16ビット以上も連続して不良となる可能性は殆んどないことから単一グループ内の不良ビットは必ずしも1ビットになる。そして、各グループ毎に1ビット不良検出訂正方式の誤り検出訂正を行なうことによって不良ビットの全てを検出、訂正することができ、ソフトエラーを完全に

阻止できることとなる。

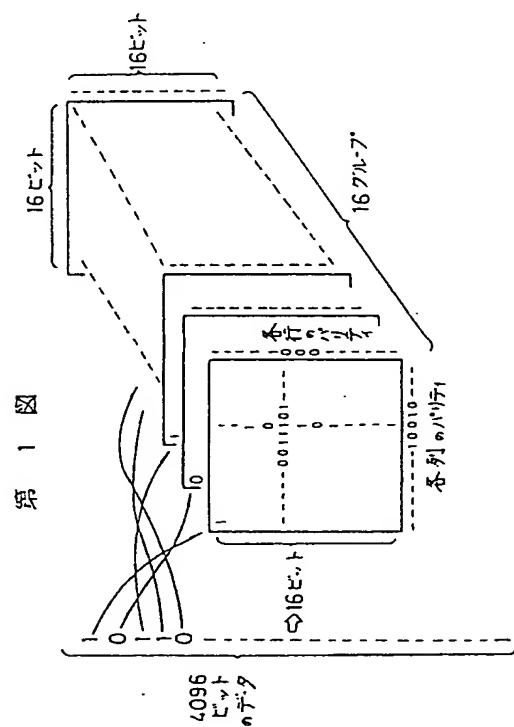
〔発明の効果〕

上述したように本発明によれば、連続する複数のメモリセルに塊状にソフトエラーが発生した場合でも、水平垂直パリティ方式のような1ビット不良検出方式により不良検出、訂正が可能な半導体メモリの誤り検出訂正方式を実現できる。

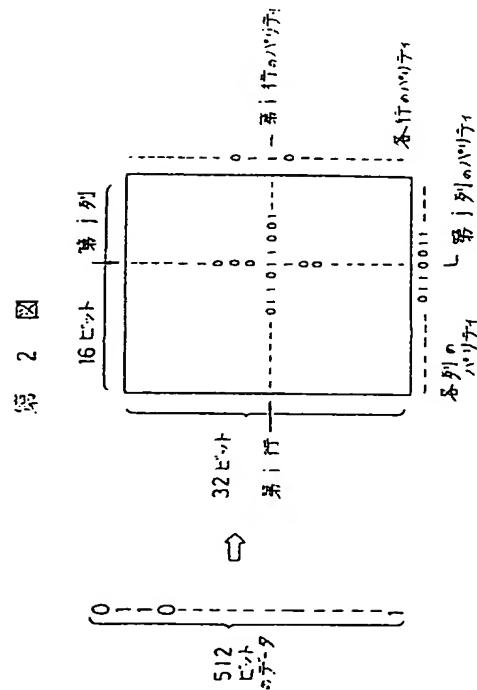
4. 図面の簡単な説明

第1図は本発明に係る半導体メモリの誤り検出訂正方式の一実施例を説明するための図、第2図は従来の半導体メモリの誤り検出訂正方式を説明するための図である。

出願人代理人弁理士 鈴江 武彦



第1図



第2図